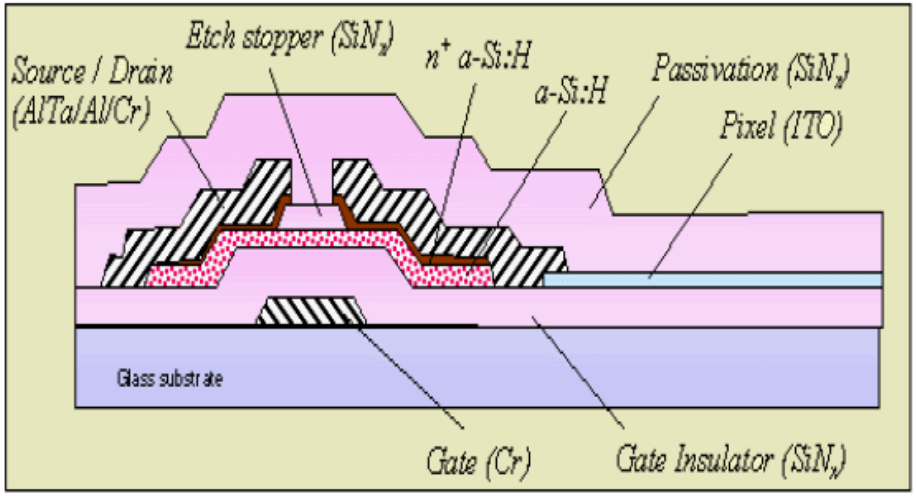
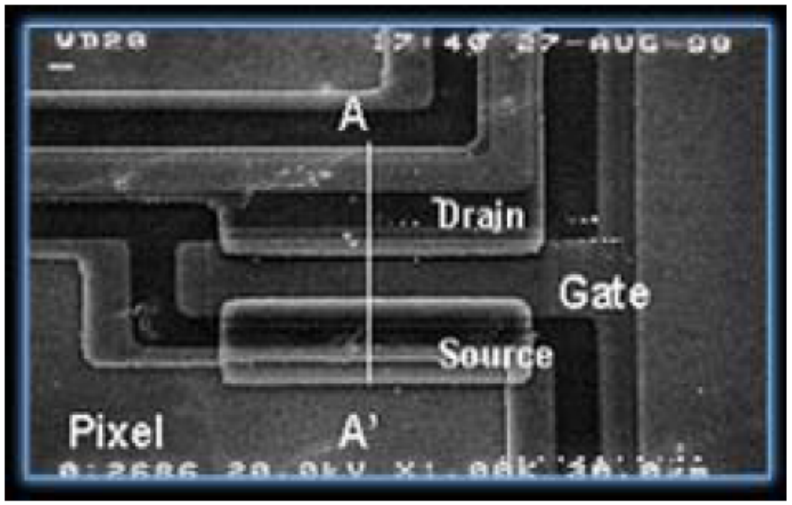
박막 트랜지스터
(Thin Film Transistor)
Part 1

박막 트랜지스터 (TFT)의 역사 및 배경

- 박막 트랜지스터는 가장 일반적으로 **"절연성 기판 위에 반도체 박막을 이용하여 만든 전계 효과 트랜지스터 (Field Effect Transistor: FET)"** 로 정의된다.

- FET와 마찬가지로 TFT도 게이트 (Gate), 드레인 (Drain) 및 소오스 (Source)의 세 단자를 가진 소자이며, 가장 주된 기능은 스위칭 동작이다. TFT의 동작 원리는 FET와 매우 유사하다. 소오스와 드레인 사이에 흐르는 전류를 제 3의 전극인 게이트에 인가하는 전압을 조절하여 도통 (ON) 또는 불통 (OFF) 상태로 스위칭 동작을 한다. TFT는 센서, 기억 소자, 광 소자 등에도 응용되지만, 주된 사용 분야는 능동 행렬 (Active Matrix, AM) 평판 디스플레이의 화소 스위칭 소자이다.





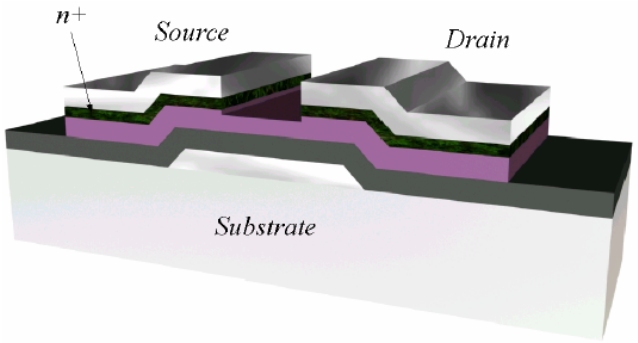
LCD에서 사용된 a-Si TFT의 단면 개략도

- AM-LCD에서는 화소 내의 각각의 박막 트랜지스터에 의해 구동 전압이 조절 되어 화소의 켜짐과 꺼짐 그리고 투과도를 변화시킨다.

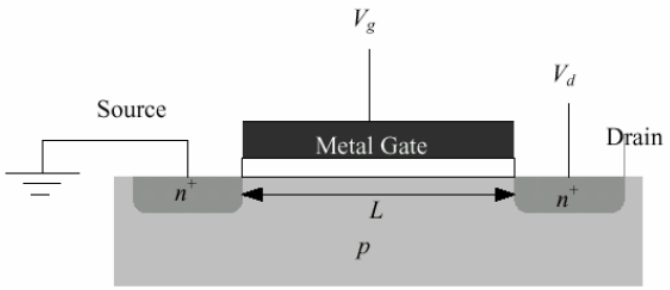
- 산업계에서는 비정질 실리콘을 능동층 (active layer)으로 이용한 TFT가 대면적 AM-LCD의 스위칭 소자로 사용되며, 이러한 비정질 실리콘 박막은 기판 온도 350℃이하에서 성장이 가능하기 때문에 저가의 대면적 유리 기판을 사용할 수 있는 이점이 있다. 이 밖에 상대적으로 가격이 비싼 저온 다결정 실리콘 TFT를 이용한 AM-LCD도 많은 개발이 진행되고 있다.

◆

MOSFET	TFT
Si bulk	Si Thin Film
Doped bulk	Intrinsin layer
Inversion	Accumulation
S/D: pn jnuction	S/D: no junction
⋮	⋮

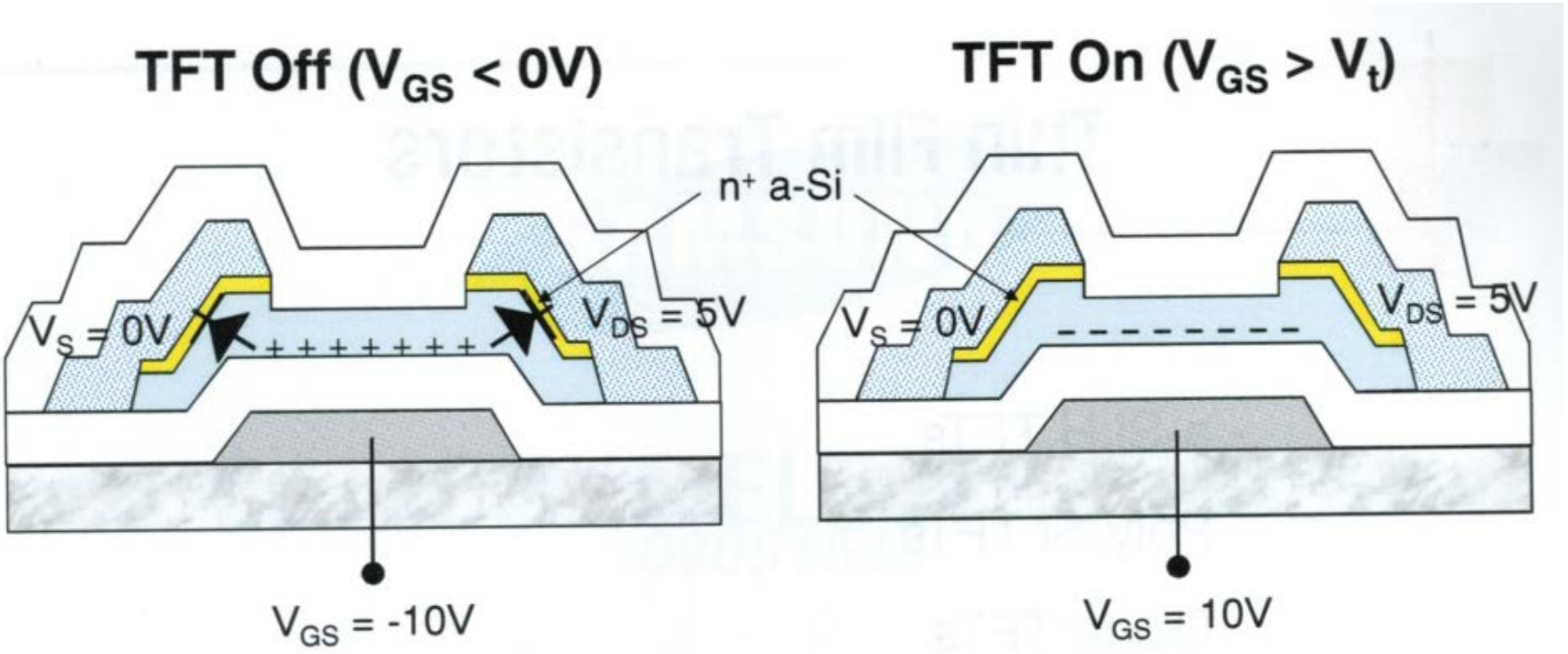


TFT



MOSFET

Switching operation of TFT



n^+ a-Si source/drain과 hole channel 사이의 diode에 reverse bias.
(Hole blocking effect of n^+ a-Si)

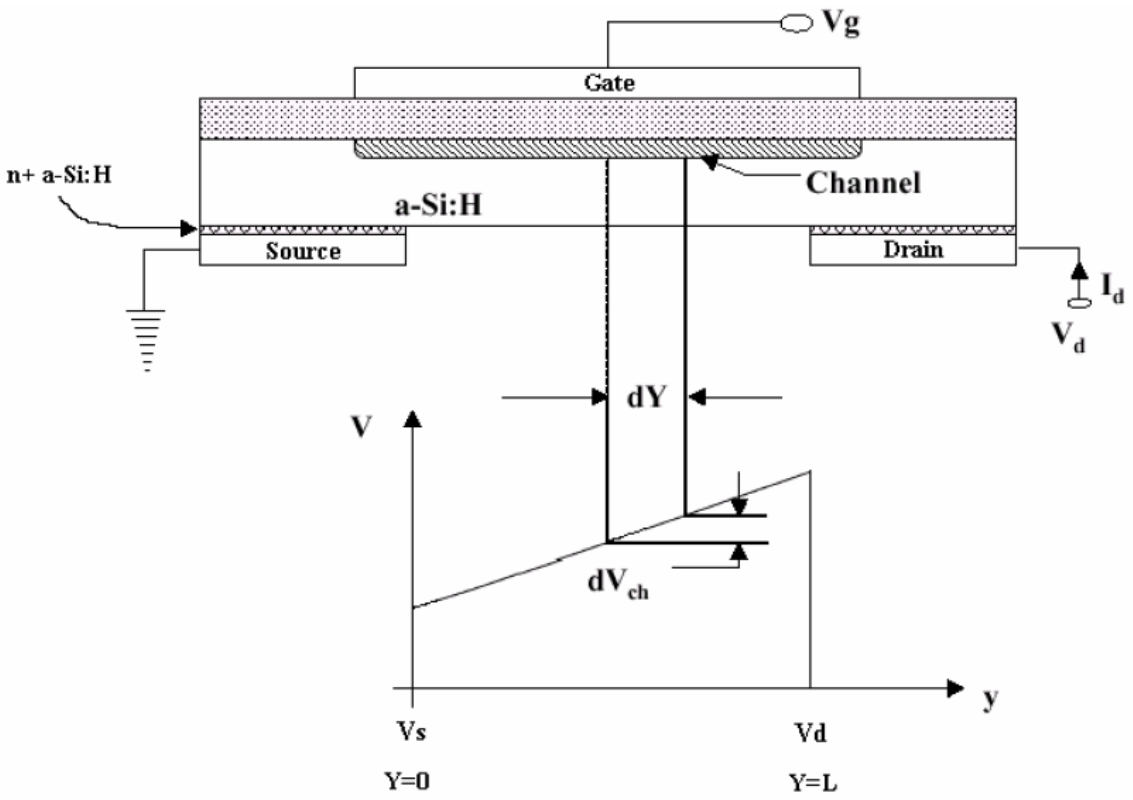
Electron accumulation in active layer.
Electron channel과 n+ a-Si source/drain 사이의 전위장벽 제거.

◎ 표 3.1 TFT 개발 역사의 요약

연도	주요사항	개발사 혹은 인물	비 고
1930	MOSFET로부터 적용된 최초의 TFT 특허	Lilienfeld	미국 (U. S. patent 1,745,175)
1935	TFT의 구조 특허	O. Heil	영국
1961	First report of TFT	Weimer	One year after the first report of MOSFETs
1971	AM-LCD의 개념	Lechner	
1971	최초의 AM-LCD	Brody et al.	CdSe TFT
1972	a-Si:H glow discharge	Spear and LeComber	
1973	Pioneering work, TFT-LCD image 시연	Peter Brody, Westinghouse	Father of TFT active matrix, CdSe TFT
1975	a-Si의 p-i-n diode 개발		대면적 증착, np doping가능
1979	a-Si의 AM-LCD 적용 제안	LeComber	a-Si TFT 개발
1970말	Poly-Si TFT 발전 계기	Geis et al.,	Graphoepitaxy,
1981		Rief et al.	Self-implantation
1982	ELA poly-Si TFT	T. Matsumoto et al.	
1982	최초의 상업 제품 pocket TV	Seiko Epson	Poly-Si TFTs를 이용
1984	As-depo, poly-Si TFT	T.P. Brody H. Hayashi et al.	
1985	Poly-Si driver IC 제안	Morozumi	
1986	MIM switch 개선	Yaniv et al	
1987	SPC poly-Si TFT	A. Mimura et al.	SPC poly-Si
1988	Offset-gated TFT, ELA poly-Si TFT	T. Tanaka et al., S. Seki et al.	SPC poly-Si 255cm^2/V · s
1989	Multiple-gate TFT	R. E. Proano et al.	SPC poly-Si
1990	Field induced-drain TFT	T. Y. Huang et al.	SPC poly-Si
1992	Self-aligned TFT 제안	K. Asama	
1993	Short channel a-Si:H TFT	M. Matsumura	Selective ELA method
1996	a-Si:H(:Cl) TFT	J. Jang et al.	Low photo-leakage current

박막 트랜지스터 (TFT)의 동작 원리

- 박막 트랜지스터의 동작 영역은 MOSFET (Metal Oxide Semiconductor Field Effect Transistor)에서와 마찬가지로 크게 선형 영역 (linear region)과 포화영역 (saturation region)의 두 가지로 구분된다. 즉 드레인 전압이 작을 때는 드레인과 소오스 사이의 특성이 기본적으로 ohmic 특성을 나타내며, 결과적으로 드레인 전류는 드레인 전압에 비례하게 된다. 한편 높은 드레인 전압에서는 드레인 전류가 드레인 전압의 증가에 관계없이 일정한 값을 가지는 특성을 나타낸다.



비정질 실리콘 박막 트랜지스터의 단면도

선형 영역 (linear region)

- 앞장의 그림과 같이 박막 트랜지스터의 전기적 특성 분석은 선형 채널 근사화 기법 (gradual channel approximation)을 사용하게 되는 데, 이는 x 방향 (수직축)의 전기장은 채널을 형성시키고, y 방향 (수평축)의 전기장은 비정질 실리콘을 통한 드레인 전류를 흐르게 하는 역할을 한다.(E_y is constant in the channel)
  즉 채널의 두께는 x축에 있는 게이트 전압에만 영향을 받고 y축에는 무관하다는 가정이다.

- 이제 게이트 전압이 문턱 전압 (threshold voltage, V_{th} or V_T)보다 클 경우, 즉 채널 내에 전하가 유도되었을 경우 유도 전하 Q_I와 게이트 전압 V_G 사이의 관계는 다음과 같다.

$$Q_I = -C_{SiN_x}(V_G - V_T)$$

여기서 C_{SiN_x}는 채널에서의 게이트 절연막 정전 용량이다. 이 식은 채널 전압이 0 V인 경우인데, 실제로는 y에 드레인 소스 사이의 전압에 의해서 전압 V가 형성되어 있으므로 채널에 유도된 전하는 다음과 같이 수정된다.

$$Q_I = -C_{SiN_x}(V_G - V_T - V)$$

한편 채널 전류는 다음과 같이 쓰일 수 있다.

$$I_D = W\mu_n Q_I E_y$$

$$J_n = q(\mu_n n E_y + D\frac{dn}{dy})$$

$$I_D = -\iint_{zx} J_n \, dx \, dz$$

여기서 W는 채널의 폭이며, μ_n은 전자 이동도, Q_I는 유도 전하량, E_y는 y방향 전계이다.

이제 $E_y = -\frac{dV}{dy}$를 이용하여 I_D 식에 대입하면

$$I_D dy = W\mu_n C_{SiN_x}(V_G - V_T - V)dV$$

이를 $y = 0$에서 L까지, $V = 0$에서 V_D (드레인 전압)까지 적분하면

$$I_D = C_{SiN_x}\mu_n \frac{W}{L}\left[(V_G - V_T)V_D - \frac{1}{2}V_D^2\right] \quad (1)$$

V_D가 매우 작은 선형 영역 $(V_D < 1\,V)$에서는 다음과 같이 간단히 표시할 수 있다.

$$I_D = C_{SiN_x}\mu_n \frac{W}{L}[(V_G - V_T)V_D] \quad (2)$$

따라서 앞 식으로부터 박막 트랜지스터 전류-전압 특성에 영향을 주는 요소는 절연 박막의 용량, 전자 이동도, 트랜지스터 채널 길이와 폭, 게이트 전압, 트랜지스터 문턱 전압 등이 있다.

○ 표 3.2 박막 트랜지스터의 특성과 그에 영향을 주는 요소

특 성	Factor
On current	• W/L • Mobility • Interface • Ohmic contact • Gap states • Back surface(or interface)
Off current	• W/L • Fermi level(a-Si:H) • Interface • Back surface(or interface) • Ohmic contact • Band gap
Mobility	• Width of band tails • Interface states
Gate voltage swing	• Gap states(defect states) • Interface states

비정질 실리콘 TFT의 특성은 비정질 실리콘의 특성 (Density of states, band mobility), 비정질 실리콘과 절연막 사이의 계면 특성, 비정질 실리콘과 금속과의 접촉, 소자의 geometry (W/L)등에 의해 영향을 받는다.

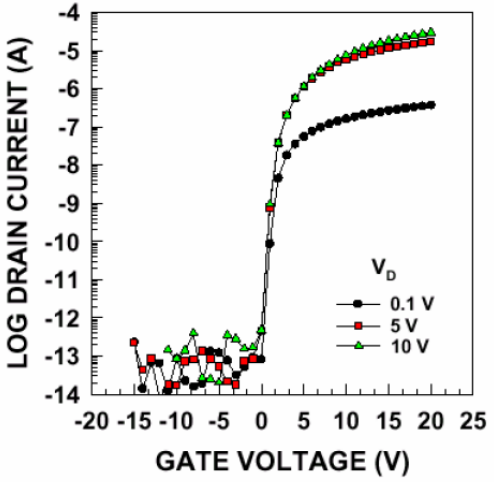
포화 영역 (saturation region)

- 만약 드레인 전압이 커져서 게이트 전압이 중성화되면 $[Q_I = -C_{SiN_x}(V_G - V_T - V)]$ 채널이 드레인쪽으로부터 사라지게 되고 (pinch off), 드레인 전류가 더 이상 증가하지 않는 결과가 나타나게 된다. 그러므로 앞에서 구한 선형 영역에서의 드레인 전류가 더 이상 맞지 않게 된다.

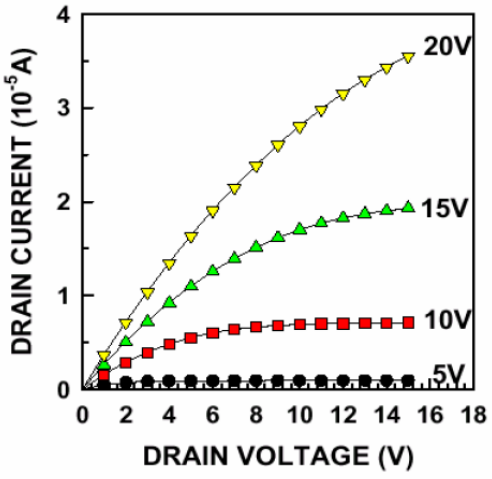
  이러한 상황은 Q_I를 0으로 놓음으로써 만족되어질 수 있고, 결국 $V = V_G - V_T = V_D$을 식 (1)에 대입하면

$$I_D = \frac{C_{SiN_x}\mu_n W}{2L}(V_G - V_T)^2 \qquad (3)$$

식 (3)을 이용하여 포화 영역에서의 전계 효과 이동도를 구할 수 있다.



비정질 실리콘 박막트랜지스터의 전이(transfer)특성.
(W=96μ m, L=10μ m)



비정질 실리콘 박막트랜지스터의 출력(output)특성
(W=96μ m, L=10μ m)

- 게이트 전압 스윙 (swing) S는 드레인 전류 I_D를 10배 증가시키는 데 필요한 게이트 전압으로써 다음과 같이 정의된다.

$$S = \frac{dV_G}{d(logI_D)}$$

앞장의 전이 특성에서 구한 게이트 전압 스윙은 0.27 V/decade이다.

- 상호전달 컨덕턴스 (Transconductance, g_m)를 이용하여 전계 효과 이동도를 구하는 방법은 다음의 정의로 주어진다.

$$g_m = \frac{\partial I_D}{\partial V_G}\bigg|_{V_D = const} = \frac{W}{L} C_i \mu_n V_D \qquad \left(V_D < V_D(sat)\right)$$

$$= \frac{W}{L} C_i \mu_n (V_G - V_T) \qquad (V_D > V_D(sat))$$

여기서 C_i는 게이트 절연막의 단위 면적당 커패시턴스 (F/cm^2)이다.

전류 이득률

- 이득률 K는 $K = \left(\frac{C_{SiN_x}\mu_n}{2}\right)\left(\frac{W}{L}\right)$로서 공정 변수인 이동도 (μ_n)와 절연막의 단위 면적당 커패시턴스 (C_{SiN_x}), 설계 변수인 게이트의 폭 (W)과 길이 (L)에 의해서 결정된다.

  또한 진성 전달 컨덕턴스 K' 는 $K = K'\frac{W}{L}$의 관계에서 정의된다.

- <u>포화 영역에서의 이득률의 측정</u>

  소자를 포화 영역 안에 있게 하려면 그림 3.7과 같이 드레인과 게이트를 묶어서 $V_G = V_D$가 되게 한다. 이러한 경우의 전압/전류 관계를 그림 3.8에 나타낸다.

  이 경우에 모든 $V_D > 0$에 대하여 소자는 포화 영역에서 작동하게 된다.

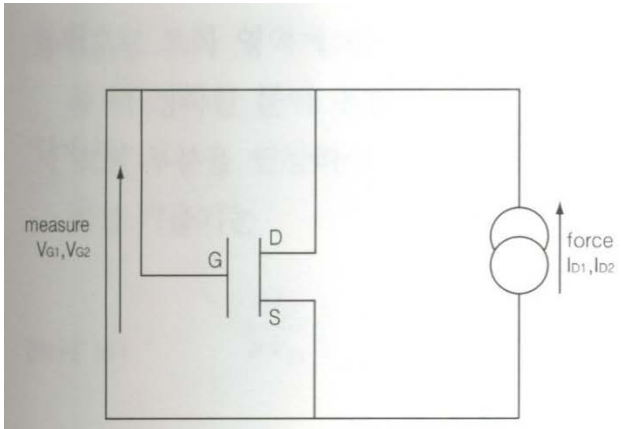


그림 3.7
포화 영역에서의 특성

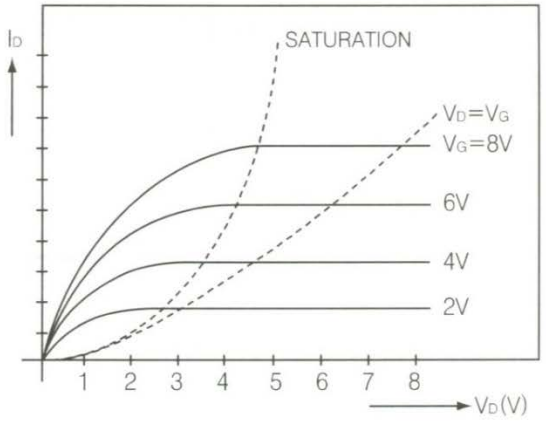


그림 3.8
$V_D = V_G$에서의 전류 곡선

그림 3.6에서 I_{D1}과 I_{D2}는 각각 [식 (3) 이용]

$$I_{D1} = K(V_{G1} - V_T)^2 \qquad (4)$$

$$I_{D2} = K(V_{G2} - V_T)^2 \qquad (5)$$

식 (4)와 (5)를 K에 대해서 풀면 다음과 같다.

$$K = \left(\frac{\sqrt{I_{D2}} - \sqrt{I_{D1}}}{V_{G2} - V_{G1}}\right)^2$$

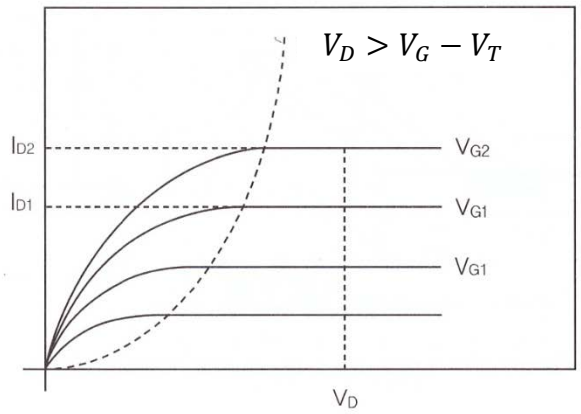


그림 3.6
포화 영역에서의 K의 측정

- **불포화 영역에서의 이득률의 측정**

포화 영역에서의 채널 길이 변조 효과를 없애기 위하여 소스와 드레인 사이에 연속적인 채널이 형성되어 있는 불포화 영역 (선형 영역, $V_D < V_G - V_T$)에서 K를 측정하는 것이 더욱 정확하다. 따라서 식(1)을 이용하여 그림 3.9에서와 같이 일정한 V_D 상태에서 V_G를 두가지 상태로 바꾸며 측정한다.

$$I_{D2} = C_{SiN_x}\mu_n \frac{W}{L}\left[(V_{G2} - V_T)V_D - \frac{1}{2}V_D^2\right] = \mathrm{K}'\frac{W}{L}[2(V_{G2} - V_T)V_D - V_D^2] \qquad (6)$$

$$I_{D1} = C_{SiN_x}\mu_n \frac{W}{L}\left[(V_{G1} - V_T)V_D - \frac{1}{2}V_D^2\right] = \mathrm{K}'\frac{W}{L}[2(V_{G1} - V_T)V_D - V_D^2] \qquad (7)$$

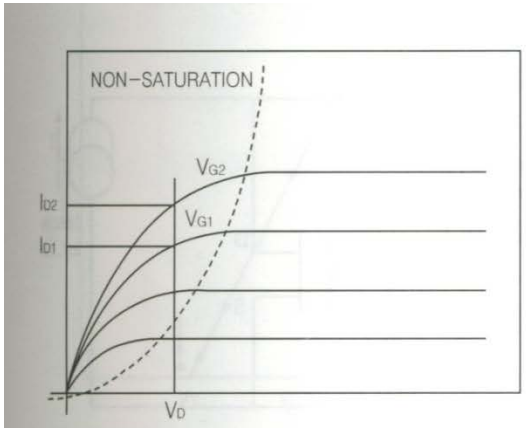


그림 3.9
불포화 영역에서 K 측정

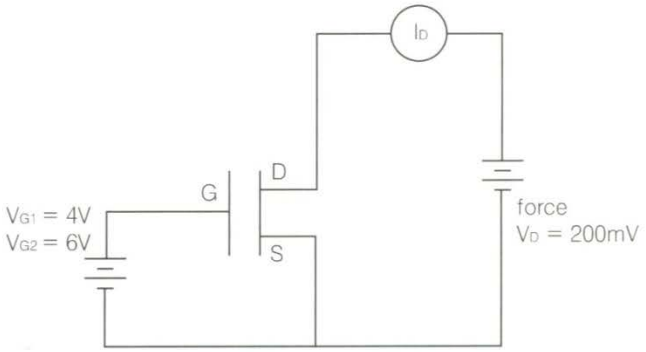


그림 3.10
불포화 영역에서의 K 측정 회로

따라서 식(6)에서 식(7)를 빼면,

$$I_{D2} - I_{D1} = K'(\frac{W}{L})[2(V_{G2} - V_{G1})V_D]$$

이것을 K'에 대해 정리하면 다음과 같다.

$$K = K'\left(\frac{W}{L}\right) = \frac{I_{D2} - I_{D1}}{2V_D(V_{G2} - V_{G1})}$$

→ 그림 3.10의 조건에서 측정했다면 K는

$$K = K'\left(\frac{W}{L}\right) = \frac{I_{D2} - I_{D1}}{2 \times 0.2 \times (6-4)} = \frac{I_{D2} - I_{D1}}{0.8}$$

이때의 진성 전달 컨덕턴스 K'는 다음과 같이 측정된다.

$$K' = \frac{\Delta I_D}{0.8}\left(\frac{L}{W}\right)$$

문턱 전압 (threshold voltage)

- 정의에 의하면 문턱 전압은 강한 반전 (inversion)이 게이트 밑에서 일어나서 연속적인 반전층 채널이 형성되게 하는 게이트 전압이다.

- 포화 영역에서는 식 (3)을 다음과 같이 쓸 수 있다. 설계 변수 K를 소거하기 위해, 두 개의 I_D값에 대해 실험을 하고 다음과 같은 식을 세운다.

$$I_{D1} = K(V_{G1} - V_T)^2 \qquad (8)$$

$$I_{D2} = K(V_{G2} - V_T)^2 \qquad (9)$$

식 (9)을 식 (8)로 나누고 V_T에 관하여 풀면

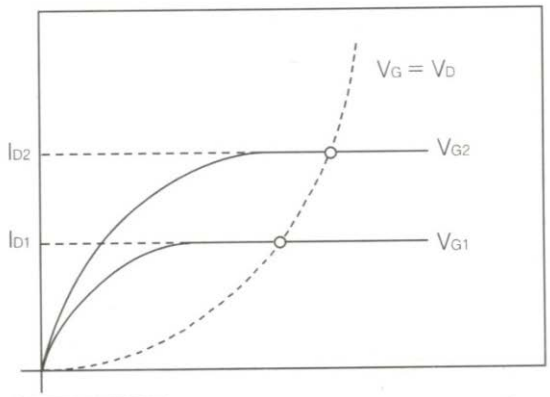


그림 3.11

포화 영역에서 V_D에 대한 I_D

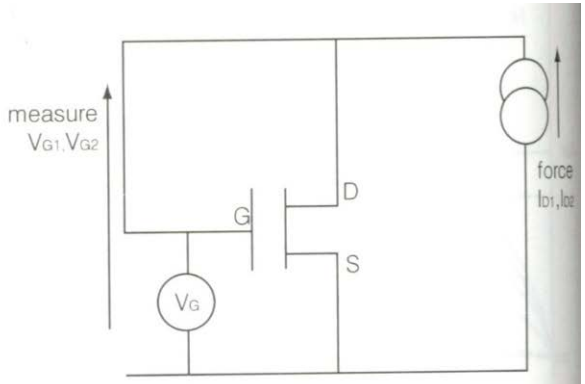


그림 3.12

채널 증가형 트랜지스터 시험 회로

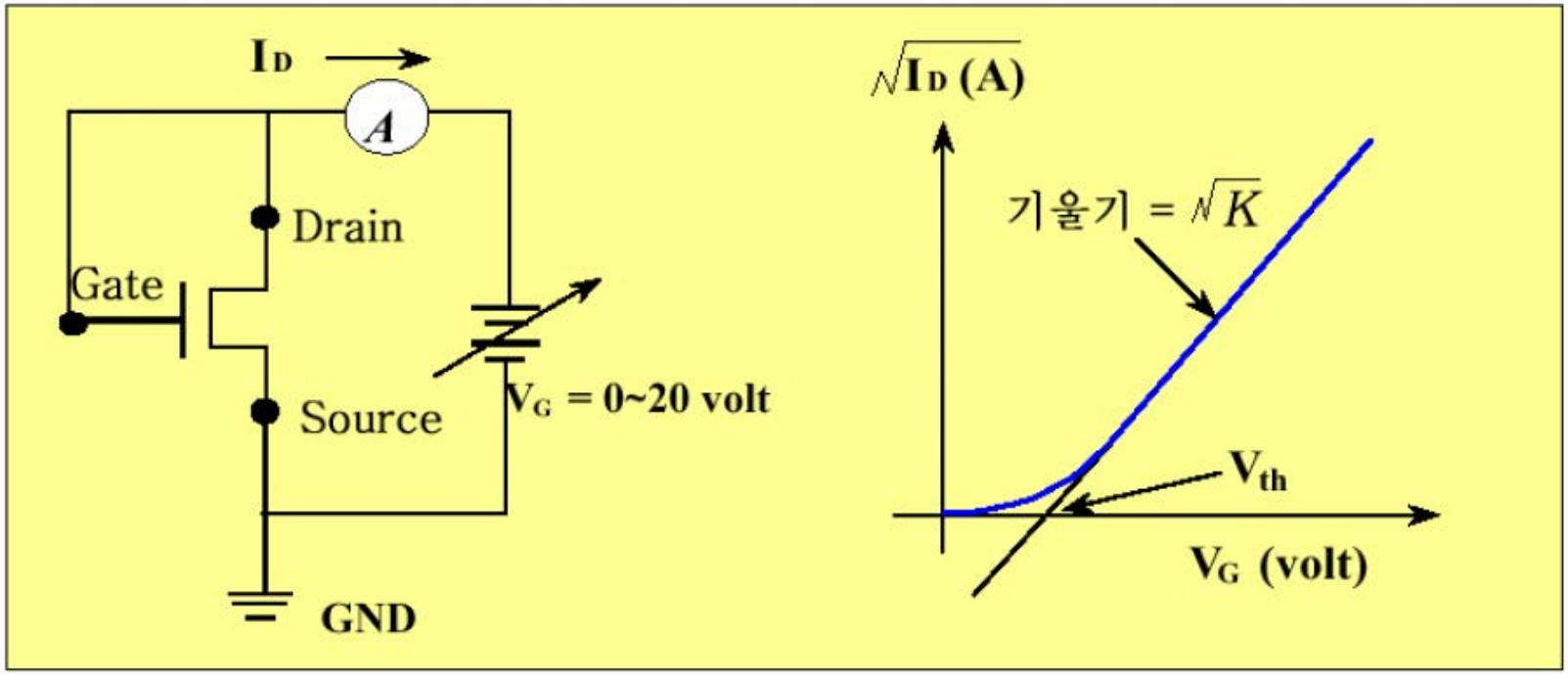
$$V_T = \frac{\left(\sqrt{I_{D2}}/\sqrt{I_{D1}}\right)V_{G1} - V_{G2}}{\left(\sqrt{I_{D2}}/\sqrt{I_{D1}}\right) - 1}$$

→ 간단한 테스트의 방법으로서 그림 3.11에서와 같이 $I_{D2} = 4I_{D1}$이 되도록 한다. 그러면,

$$V_T = 2V_{G1} - V_{G2}$$

여기서 I_{D2}값이 포화 영역으로 들어가도록 바이어스를 조절한다. 이때 I_{D1}은 자동적으로 포화 영역에 들어가게 된다. 그림 3.12는 이러한 시험을 위한 회로이다.

전이 특성 측정으로부터 문턱 전압 측정법



Saturation Condition

$(V_G < V_D + V_{th})$

$$I_d = K\left(V_G - V_{th}\right)^2$$

$$K = \frac{1}{2}\mu_{eff}\, C_g \frac{W}{L}$$

$$\sqrt{I_d} = \sqrt{K}\left(V_G - V_{th}\right)$$